

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-284283
(43)Date of publication of application : 12.10.2001

(51)Int.Cl. H01L 21/28
H01L 21/3065
H01L 21/8238
H01L 27/092
H01L 27/10
H01L 29/43
H01L 29/78
H01L 29/786

(21)Application number : 2000-094986
(22)Date of filing : 30.03.2000

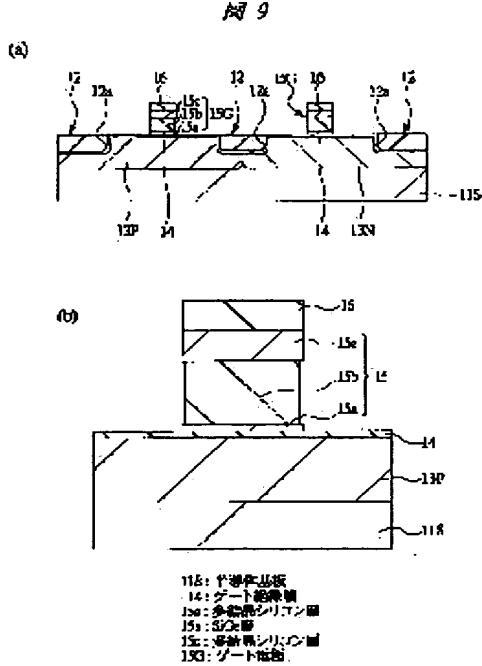
(71)Applicant : HITACHI LTD
(72)Inventor : YAMAZAKI KAZUO
KUNIYOSHI SHINJI
KUSAKARI KOSUKE
IKEDA TAKENOB
TADOKORO MASAHIRO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To appropriately form the shape of a gate electrode having SiGe.

SOLUTION: A gate electrode 15G having an SiGe layer 15b is subjected to patterning by a dry etching method, and then is subjected to plasma treatment (post-treatment) in Ar/CHF₃ gas atmosphere, thus forming the gate electrode 15G without generating any side etching on both sides of the gate electrode 15G (SiGe layer 15b).



LEGAL STATUS

[Date of request for examination] 26.03.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-284283

(P2001-284283A)

(43)公開日 平成13年10月12日 (2001.10.12)

(51) Int.Cl.
H 01 L 21/28

識別記号

F I
H 01 L 21/28

テ-マコ-ト (参考)
B 4 M 1 0 4

F 5 F 0 0 4

3 0 1

21/3065

21/8238

27/10

21/302

3 0 1 F 5 F 0 4 0

4 6 1 5 F 0 4 8

F 5 F 0 8 3

審査請求 未請求 請求項の数33 O L (全23頁) 最終頁に続く

(21)出願番号

特願2000-94986 (P2000-94986)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(22)出願日 平成12年3月30日 (2000.3.30)

(72)発明者 山崎 一雄

東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内

(72)発明者 國吉 伸治

東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内

(74)代理人 100080001

弁理士 筒井 大和

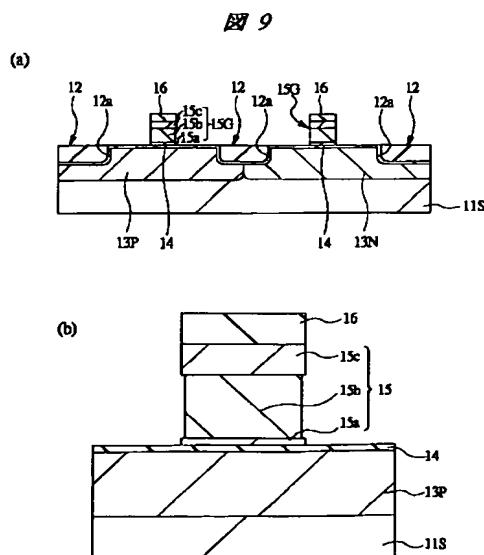
最終頁に続く

(54)【発明の名称】 半導体集積回路装置の製造方法および半導体集積回路装置

(57)【要約】

【課題】 SiGeを有するゲート電極の形状を良好にする。

【解決手段】 SiGe層15bを有するゲート電極15Gをドライエッチング法によってバターニングした後、Ar/CH₄ガス雰囲気中においてプラズマ処理(後処理)を施す。これにより、ゲート電極15Gの両側面(SiGe層15b)にサイドエッチングを生じることなく、ゲート電極15Gを形成できる。



11S: 半導体基板

14: ゲート絶縁膜

15b: SiGe層

15c: 多結晶シリコン層

15G: ゲート電極

【特許請求の範囲】

【請求項1】 (a) 半導体基板上にゲート絶縁膜を形成する工程、(b) 前記ゲート絶縁膜上に、SiGe層を有するゲート電極形成膜を堆積する工程、(c) 前記ゲート電極形成膜をバーニングすることにより、前記SiGe層を有するゲート電極を形成する工程、(d) 前記(c)工程後、前記半導体基板に対して、Geとの反応性の乏しい第1のガスおよびSiのエッティング機能を有する第2のガスの混合ガス雰囲気中においてプラズマ処理を施す工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項2】 請求項1記載の半導体集積回路装置の製造方法において、前記第1のガスが、不活性ガスであることを特徴とする半導体集積回路装置の製造方法。

【請求項3】 請求項2記載の半導体集積回路装置の製造方法において、前記不活性ガスが、アルゴンガスであることを特徴とする半導体集積回路装置の製造方法。

【請求項4】 請求項1記載の半導体集積回路装置の製造方法において、前記第1のガスが、窒素ガスであることを特徴とする半導体集積回路装置の製造方法。

【請求項5】 請求項1記載の半導体集積回路装置の製造方法において、前記第2のガスが、フッ素を含むガスであることを特徴とする半導体集積回路装置の製造方法。

【請求項6】 請求項5記載の半導体集積回路装置の製造方法において、前記フッ素を含むガスが、CHF₃であることを特徴とする半導体集積回路装置の製造方法。

【請求項7】 請求項1記載の半導体集積回路装置の製造方法において、前記第1のガスの濃度は、前記第2のガスの濃度よりも相対的に高いことを特徴とする半導体集積回路装置の製造方法。

【請求項8】 請求項1記載の半導体集積回路装置の製造方法において、前記SiGe層のGeの濃度が全体の10%以上であることを特徴とする半導体集積回路装置の製造方法。

【請求項9】 請求項1記載の半導体集積回路装置の製造方法において、前記SiGe層のGeの濃度が全体の20%以上であることを特徴とする半導体集積回路装置の製造方法。

【請求項10】 請求項1記載の半導体集積回路装置の製造方法において、前記SiGe層のGeの濃度が全体の40%以上であることを特徴とする半導体集積回路装置の製造方法。

【請求項11】 請求項1記載の半導体集積回路装置の製造方法において、前記(d)工程後のゲート電極の両側面におけるサイドエッティング量は、前記(c)工程後に残されたゲート電極形成膜であって前記SiGe層以外の部分におけるチャネル長方向の長さの40%以下であることを特徴とする半導体集積回路装置の製造方法。

【請求項12】 請求項1記載の半導体集積回路装置の

製造方法において、前記(d)工程後のゲート電極のSiGe層におけるチャネル長方向の長さは、前記(d)工程後のゲート電極の前記SiGe層以外の部分におけるチャネル長方向の長さと等しいことを特徴とする半導体集積回路装置の製造方法。

【請求項13】 請求項1記載の半導体集積回路装置の製造方法において、

前記半導体基板に前記ゲート電極を有するnチャネル型の電界効果トランジスタおよびpチャネル型の電界効果トランジスタを形成することを特徴とする半導体集積回路装置の製造方法。

【請求項14】 請求項1記載の半導体集積回路装置の製造方法において、前記(c)工程後の半導体基板を、真空状態を維持した状態で、前記(d)工程に移行させることを特徴とする半導体集積回路装置の製造方法。

【請求項15】 請求項1記載の半導体集積回路装置の製造方法において、

前記(b)工程は、前記ゲート電極形成膜にホウ素を導入する工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項16】 請求項1記載の半導体集積回路装置の製造方法において、

前記(b)工程は、前記SiGe層上に多結晶シリコン層を堆積する工程を有し、前記(d)工程後、

(e) 前記ゲート電極の側面に側壁絶縁膜を形成する工程、(f) 前記ゲート電極の上面と、前記半導体基板の正面一部とを露出させる工程、(g) 前記半導体基板上に高融点金属膜を堆積する工程、(h) 前記ゲート電極の上面と、前記半導体基板の正面の一部とに高融点金属シリサイド層を形成する工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項17】 (a) 半導体基板の正面にゲート絶縁膜を形成する工程、(b) 前記ゲート絶縁膜上にゲート電極形成膜を堆積する工程、(c) 前記ゲート電極形成膜をバーニングすることによりゲート電極を形成する工程、(d) 前記(c)工程後、前記半導体基板に対して、Geとの反応性の乏しい第1のガスおよびSiのエッティング機能を有する第2のガスの混合ガス雰囲気中においてプラズマ処理を施す工程を有し、

前記(b)工程は、SiGe層を堆積する工程および前記SiGe層よりも上層に多結晶シリコン層を堆積する工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項18】 請求項17記載の半導体集積回路装置の製造方法において、前記第1のガスが、不活性ガスであることを特徴とする半導体集積回路装置の製造方法。

【請求項19】 請求項18記載の半導体集積回路装置の製造方法において、前記不活性ガスが、アルゴンガスであることを特徴とする半導体集積回路装置の製造方

50

法。

【請求項20】 請求項17記載の半導体集積回路装置の製造方法において、前記第1のガスが、窒素ガスであることを特徴とする半導体集積回路装置の製造方法。

【請求項21】 請求項17記載の半導体集積回路装置の製造方法において、前記第2のガスが、フッ素を含むガスであることを特徴とする半導体集積回路装置の製造方法。

【請求項22】 請求項21記載の半導体集積回路装置の製造方法において、前記フッ素を含むガスが、CHF₃であることを特徴とする半導体集積回路装置の製造方法。

【請求項23】 請求項17記載の半導体集積回路装置の製造方法において、前記SiGe層のGeの濃度が全体の10%以上であることを特徴とする半導体集積回路装置の製造方法。

【請求項24】 請求項17記載の半導体集積回路装置の製造方法において、前記(d)工程後のゲート電極の両側面におけるサイドエッティング量は、前記(c)工程後に残された前記多結晶シリコン層のチャネル長方向の長さの40%以下であることを特徴とする半導体集積回路装置の製造方法。

【請求項25】 請求項17記載の半導体集積回路装置の製造方法において、

前記(d)工程後、(e)前記ゲート電極の側面に側壁絶縁膜を形成する工程、(f)前記ゲート電極の上面と、前記半導体基板の正面一部とを露出させる工程、(g)前記半導体基板上に高融点金属膜を堆積する工程、(h)前記ゲート電極の上面と、前記半導体基板の正面の一部とに高融点金属シリサイド層を形成する工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項26】 請求項17記載の半導体集積回路装置の製造方法において、

前記(d)工程後、前記半導体基板のnチャネル型の電界効果トランジスタの形成領域に第1の不純物を導入する工程。

前記(d)工程後、前記半導体基板のpチャネル型の電界効果トランジスタの形成領域に、前記第1の不純物で形成される半導体領域とは反対の導電型の半導体領域を形成する第2の不純物を導入する工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項27】 (a)半導体基板の正面にゲート絶縁膜を形成する工程、(b)前記ゲート絶縁膜上にゲート電極形成膜を堆積する工程、(c)前記ゲート電極形成膜をバーニングすることによりゲート電極を形成する工程、(d)前記(c)工程後、前記半導体基板に対して、Geとの反応性の乏しい第1のガスおよびSiのエッティング機能を有する第2のガスの混合ガス雰囲気中においてプラズマ処理を施す工程を有し、

前記(b)工程は、SiGe層を堆積する工程、前記SiGe層よりも上層に金属層を堆積する工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項28】 請求項27記載の半導体集積回路装置の製造方法において、前記(d)工程後のゲート電極の両側面におけるサイドエッティング量は、前記(c)工程後に残された前記金属層のチャネル長方向の長さの40%以下であることを特徴とする半導体集積回路装置の製造方法。

10 【請求項29】 請求項27記載の半導体集積回路装置の製造方法において、

前記(b)工程は、前記SiGe層にホウ素を導入した後、前記金属層を堆積する工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項30】 以下の構成を含むことを特徴とする半導体集積回路装置：(a)半導体基板の正面に形成されたゲート絶縁膜、(b)前記ゲート絶縁膜上に形成されたゲート電極を有し、

前記半導体基板は、前記ゲート電極の形成工程後に、Geとの反応性の乏しい第1のガスおよびSiのエッティング機能を有する第2のガスの混合ガス雰囲気中においてプラズマ処理が施されており、

前記ゲート電極は、SiGe層とその上層に形成された多結晶シリコン層とを有し、

前記ゲート電極の両側面におけるサイドエッティング量は、前記ゲート電極を構成する多結晶シリコン層のチャネル長方向の長さの40%以下であることを特徴とする半導体集積回路装置。

【請求項31】 以下の構成を含むことを特徴とする半導体集積回路装置：(a)半導体基板の正面に形成されたゲート絶縁膜、(b)前記ゲート絶縁膜上に形成されたゲート電極を有し、

前記半導体基板は、前記ゲート電極の形成工程後に、Geとの反応性の乏しい第1のガスおよびSiのエッティング機能を有する第2のガスの混合ガス雰囲気中においてプラズマ処理が施されており、

前記ゲート電極は、SiGe層とその上層に形成された多結晶シリコン層とを有し、

前記ゲート電極のSiGe層におけるチャネル長方向の長さは、前記ゲート電極を構成する多結晶シリコン層のチャネル長方向の長さと等しいことを特徴とする半導体集積回路装置。

【請求項32】 以下の構成を含むことを特徴とする半導体集積回路装置：(a)半導体基板の正面に形成されたゲート絶縁膜、(b)前記ゲート絶縁膜上に形成されたゲート電極を有し、

前記半導体基板は、前記ゲート電極の形成工程後に、Geとの反応性の乏しい第1のガスおよびSiのエッティング機能を有する第2のガスの混合ガス雰囲気中においてプラズマ処理が施されており、

前記ゲート電極は、 SiGe 層とその上層に形成された金属層とを有し、

前記ゲート電極の両側面におけるサイドエッティング量は、前記ゲート電極を構成する金属層のチャネル長方向の長さの40%以下であることを特徴とする半導体集積回路装置。

【請求項33】以下の構成を含むことを特徴とする半導体集積回路装置；(a)半導体基板の主面上に形成されたゲート絶縁膜、(b)前記ゲート絶縁膜上に形成されたゲート電極を有し、

前記半導体基板は、前記ゲート電極の形成工程後に、 Ge との反応性の乏しい第1のガスおよび Si のエッティング機能を有する第2のガスの混合ガス雰囲気中においてプラズマ処理が施されており、

前記ゲート電極の SiGe 層におけるチャネル長方向の長さは、前記ゲート電極を構成する金属層のチャネル長方向の長さと等しいことを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置の製造方法および半導体集積回路装置技術に関し、特に、多結晶または単結晶のシリコン(Si)とゲルマニウム(Ge)との合金(以下、単に SiGe という)をゲート電極材料として有する半導体集積回路装置の製造方法および半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】 SiGe をゲート電極材料に用いる半導体集積回路装置技術については、例えばJ. Vac. Sci. Technol. Jul/Aug 1997 p 1874~p 1880, J. Vac. Sci. Technol. Jul/Aug 1998 p 1833~p 1840または特開平11-330463号公報に記載があり、 SiGe ゲート電極のバターニング技術について開示されている。

【0003】また、本発明者は、 SiGe 層を有するゲート電極の形成技術について検討した。以下は、公知とされた技術ではないが、本発明者によって検討された技術であり、その概要は次の通りである。

【0004】 SiGe 層を有するゲート電極の形成処理は、ゲート電極形成膜の堆積、そのバターニングおよび後処理の3つの処理工程を有している。すなわち、まず、半導体基板の主面上にゲート絶縁膜を形成した後、その上に SiGe 層を有するゲート電極形成膜を堆積する。続いて、そのゲート電極形成膜上にフォトレジストパターンを形成した後、これをエッティングマスクとして、例えば塩素(Cl_2)および臭素(Br_2)を含むエッティングガスを用いて、そのゲート電極形成膜をバターニングすることにより、 SiGe 層を有するゲート電極

を形成する。その後、そのゲート電極の形成時に半導体基板の表面に付着した Cl_2 、 Br_2 、それらを含む反応生成物および Si を含む反応生成物(以下、付着物ともい)を除去するために、半導体基板に対して所定のガス雰囲気中においてプラズマ処理を施す(後処理)。

【0005】この後処理は、多結晶シリコンをバターニングすることによりゲート電極を形成した後にも行われている処理であり、この後処理を行わないと、例えば次のような弊害がある。すなわち、上記反応生成物を除去しないと、異物の発生原因となり、半導体集積回路装置の信頼性や歩留まりが低下する。上記付着物がゲート電極をバターニングする前の他の半導体基板の主面上に付着することにより、他の半導体基板のゲート電極をバターニングする際に、その付着物がマスクとなり、ゲート電極材料のエッティング残りが生じる。また、半導体基板の表面に付着した Cl_2 や Br_2 等を除去しないと、その Cl_2 や Br_2 等によって半導体製造装置の部品が腐食する。さらに、 Cl_2 や Br_2 は毒性が高いため人体に悪影響を及ぼす。

【0006】 SiGe をゲート電極材料として用いた場合の後処理時のガスは、安定した放電範囲が得られ、また、ゲート電極材料として多結晶シリコンを用いる場合の後処理において一般的に使用されておりデータ量も豊富で導入が容易である等の理由から、多結晶シリコンをゲート電極材料として用いた場合の後処理と同じく、例えば O_2 、 CH_3F ガスを用いている。

【0007】

【発明が解決しようとする課題】ところが、上記した SiGe 層を有するゲート電極の形成技術においては、以下30の課題があることが、本発明者らの実験・評価によって初めて見い出された。

【0008】すなわち、ゲート電極における SiGe 層部分の両側面が中心に向かって削られる、いわゆるサイドエッティングが生じる課題である。

【0009】まず、本発明者らは、 SiGe のエッティング加工性を評価したところ、サイドエッティングが生じ易いことが判明した。そこで、さらに詳細に評価を行いうちに、エッティングチャンバでの処理ではサイドエッティングは生じないが、後処理チャンバでの後処理を行うとサイドエッティングが生じることが判明した。また、サイドエッティング発生の有無は Ge 濃度に依存していることも判明した。さらに、このサイドエッティング形状は、後処理での CH_3F の濃度の低減や放電パワーの低減等を検討しても改善しなかった。

【0010】本発明の目的は、 SiGe を有するゲート電極の形状を良好にすることのできる技術を提供することにある。

【0011】また、本発明の他の目的は、 SiGe を有するゲート電極の加工寸法精度を向上させることのできる技術を提供することにある。

【0012】また、本発明の他の目的は、SiGeを有するゲート電極を持つ半導体集積回路装置の歩留まりを向上させることのできる技術を提供することにある。

【0013】また、本発明の他の目的は、SiGeを有するゲート電極を持つ半導体集積回路装置の性能を向上させることのできる技術を提供することにある。

【0014】また、本発明の他の目的は、SiGeを有するゲート電極を持つ半導体集積回路装置の製造工程を簡略化することのできる技術を提供することにある。

【0015】また、本発明の他の目的は、SiGeを有するゲート電極を持つ半導体集積回路装置の開発および製造時間を短縮することのできる技術を提供することにある。

【0016】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0017】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0018】すなわち、本発明は、SiGe層を有するゲート電極形成膜をバーニングすることにより、前記SiGe層を有するゲート電極を半導体基板上に形成した後、半導体基板に対して、Geとの反応性の乏しい第1のガスおよびSiのエッティング機能を有する第2のガスの混合ガス雰囲気中においてプラズマ処理を施す工程を有するものである。

【0019】また、本発明は、半導体基板上に堆積されたゲート電極形成膜をバーニングすることにより、半導体基板上にゲート電極を形成した後、その半導体基板に対して、Geとの反応性の乏しい第1のガスおよびSiのエッティング機能を有する第2のガスの混合ガス雰囲気中においてプラズマ処理を施す工程を有し、前記ゲート電極形成膜の堆積工程は、SiGe層を堆積する工程および前記SiGe層よりも上層に多結晶シリコン層を堆積する工程を有するものである。

【0020】また、本発明は、前記プラズマ処理後、前記ゲート電極の側面に側壁絶縁膜を形成する工程、前記ゲート電極の上面と、前記半導体基板の正面一部とを露出させる工程、前記半導体基板上に高融点金属膜を堆積する工程、前記ゲート電極の上面と、前記半導体基板の正面の一部とに高融点金属シリサイド層を形成する工程を有するものである。

【0021】また、本発明は、前記高融点金属シリサイド層を、コバルトシリサイドとするものである。

【0022】また、本発明は、半導体基板上に堆積されたゲート電極形成膜をバーニングすることにより、半導体基板上にゲート電極を形成した後、その半導体基板に対して、Geとの反応性の乏しい第1のガスおよびSiのエッティング機能を有する第2のガスの混合ガス雰囲

気中においてプラズマ処理を施す工程を有し、前記ゲート電極形成膜の堆積工程は、SiGe層を堆積する工程および前記SiGe層よりも上層に金属層を堆積する工程を有するものである。

【0023】また、本発明は、前記SiGe層にホウ素を導入する工程を有するものである。

【0024】また、本発明は、前記第1のガスを不活性ガスとするものである。

【0025】また、本発明は、第1のガスを、Ar、He、KrまたはXeとするものである。

【0026】また、本発明は、前記第1のガスを、窒素ガスとするものである。

【0027】また、本発明は、前記第2のガスを、フッ素を含むガスとするものである。

【0028】また、本発明は、前記第2のガスを、CHF₃、CF₄、C₂F₆またはSF₆とするものである。

【0029】また、本発明は、前記第1のガスをArガスとした際には、その雰囲気中の圧力を70Pa以下とするものである。

20 【0030】また、本発明は、前記第1のガスをArガスとした際には、プラズマ形成のためのマイクロ波パワーを750Wとするものである。

【0031】また、本発明は、前記第1のガスをArガスとし、前記第2のガスをCHF₃ガスとした際には、その第2のガスの濃度を全体の5%以下とするものである。

【0032】また、本発明は、前記SiGe層を有するゲート電極形成膜をバーニングする際に、塩素、臭素またはこれらの混合ガス雰囲気中においてプラズマエッティング処理を施すものである。

【0033】また、本発明は、前記SiGe層のGeの濃度を、全体の10%以上とするものである。

【0034】また、本発明は、前記SiGe層のGeの濃度を、全体の20%以上とするものである。

【0035】また、本発明は、前記SiGe層のGeの濃度を、全体の40%以上とするものである。

【0036】また、本発明は、前記ゲート電極のバーニング工程後の半導体基板を、真空状態を維持した状態で、前記プラズマ処理工程に移行させる半導体集積回路装置の製造工程を有するものである。

【0037】また、本発明は、前記プラズマ処理後のゲート電極の両側面におけるサイドエッティング量を、前記ゲート電極のSiGe層以外の部分におけるチャネル長方向の長さの40%以下とするものである。

【0038】また、本発明は、前記プラズマ処理後のゲート電極のSiGe層におけるチャネル長方向の長さは、ゲート電極のSiGe層以外の部分におけるチャネル長方向の長さと等しいものである。

【0039】また、本発明は、前記ゲート電極を、同一半導体基板に形成されたnチャネル型の電界効果トラン

ジスタおよびpチャネル型の電界効果トランジスタのゲート電極として使用するものである。

【0040】

【発明の実施の形態】本願発明の実施の形態を説明するにあたり、半導体ウエハ（半導体基板）とは、半導体集積回路の製造に用いるシリコン単結晶基板（一般にほぼ平面円形状）、サファイア基板、ガラス基板、その他の絶縁、反絶縁または半導体基板等並びにそれらの複合的基板を言う。また、本願において半導体装置というときは、シリコンウエハやサファイア基板等の半導体または絶縁体基板上に作られるもの他、特に、そうでない旨明示された場合を除き、TFT（Thin-Film-Transistor）およびSTN（Super-Twisted-Nematic）液晶等のようなガラス等の他の絶縁基板上に作られるもの等も含むものとする。

【0041】以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

【0042】また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。

【0043】さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

【0044】同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【0045】また、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0046】また、本実施の形態においては、電界効果トランジスタを代表するMISFET（Metal Insulator Semiconductor Field Effect Transistor）を単にMISと略し、pチャネル型のMISFETをpMISと略し、nチャネル型のMISFETをnMISと略す。

【0047】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0048】（実施の形態1）図1は、本実施の形態1の半導体集積回路装置の製造方法で用いたエッチング装置1の構成を例示している。

【0049】エッチング装置1は、SiGe層を有する

配線形成膜を所定の形状にバターニングするための一連の処理を行う装置である。エッチング処理が施される半導体ウエハは、ウエハカセット台2a～2cの任意の場所に載置されている。このウエハカセット台2a～2cの半導体ウエハは、大気搬送ロボット3によってアライメントユニット4に搬送される。アライメントユニット4では、半導体ウエハのノッチまたはオリエンテーションフラットの方向合わせが行われる。このアライメント処理が終了した半導体ウエハは、再び大気搬送ロボット3によってロードロック室5に搬送される。ロードロック室5では、半導体ウエハが搬送されると真空引きを行う。ロードロック室5内の真空引きが終了すると、半導体ウエハは、真空搬送ロボット6によって真空搬送室7を通り、エッチングチャンバ8に搬入される。なお、真空搬送室7は、真空状態が維持されている。

【0050】エッチングチャンバ8では、例えばプラズマ・ドライエッチング処理によって上記SiGe層を有する配線形成膜を所定形状にバターニングする。エッチングチャンバ8での放電方式は、例えばECR（Electron Cyclotron Resonance）、RIE（Reactive Ion Etching）、2周波RIE、マグネットロンRIEまたはICP（Inductively Coupled Plasma）等、全ての放電方式を使用できる。エッチングガスは、後ほど詳細に説明するように、C1₂、HBr、O₂のうちの単独ガスまたは混合ガスによって行われる。このエッチング処理の第1ステップでは、例えば酸化シリコン膜（SiO₂）に対して選択比の低いC1₂、単独ガスを用い、第2ステップ以降では、異方性形状を得るために、例えばHBr/C1₂またはHBr/C1₂/O₂等のようなガスを用いる。

30 また、このエッチング処理の終点検出ステップおよびオーバーエッチングステップでは、例えば酸化シリコン膜に対する選択比の高いHBr/O₂またはC1₂/O₂等のようなガスを用いる。

【0051】エッチング処理の終了した半導体ウエハは、再び真空搬送ロボット6によって真空搬送室7を通り、後処理チャンバ9に搬入される。すなわち、エッチング処理後の半導体ウエハは、真空状態を維持したまま外気に触れることなく、後処理チャンバ9に搬入される。後処理チャンバ9では、後ほど詳細に説明するように、半導体ウエハに対してプラズマ処理を施す。後処理チャンバ9での放電方式は、上記エッチングチャンバ8と同様に、例えばECR、RIE、2周波RIE、マグネットロンRIEまたはICP等、全ての放電方式を使用できる。後処理の終了した半導体ウエハは、再び真空搬送ロボット6によってアンロード室10に搬送され、さらに大気搬送ロボット3によってウエハカセット台2a～2cに戻る構成になっている。

【0052】次に、本実施の形態1においては、例えば本発明を、同一半導体基板にロジック回路とメモリ回路とを有するシステムLSI（Large Scale Integrated c

ircuit; 半導体集積回路装置) の製造方法に適用した場合について図2～図15によって説明する。なお、図4～図9および図11～図15の各々の(b)は、各図の(a)のnMIS形成領域の要部拡大断面図である。pMIS形成領域のゲート電極構造は、nMIS形成領域のゲート電極構造と同じなので図示を省略してある。また、図8は、本発明者らが本発明をするのに検討した技術の課題を説明するための図である。

【0053】まず、図2に示すように、例えばp型の単結晶シリコンからなる半導体基板11Sを用意する。この段階の半導体基板11Sは、半導体ウェハと称する、例えば8インチ(=約20cm)程度平面円形状の半導体の薄板である。この半導体基板11Sの主面に深さ300～400nm程度の溝12aを形成する。この溝12aは、半導体基板11Sの素子形成領域を窒化シリコン膜で覆った後、この窒化シリコン膜をマスクにして素子分離領域の半導体基板11をドライエッチングすることにより形成する。

【0054】続いて、上記溝12aの内部を含む半導体基板11S上に、例えば膜厚600nm程度の酸化シリコン膜をCVD(Chemical Vapor Deposition)法等で堆積した後、この酸化シリコン膜を化学的機械研磨(Chemical Mechanical Polishing; CMP)法で研磨して溝12aの内部のみに残すことにより、半導体基板11Sの素子分離領域に、例えば溝型の素子分離部12(トレンチアイソレーション)を形成し、それに平面的に取り囲まれた素子形成領域に活性領域を形成する。

【0055】その後、図3に示すように、半導体基板11SのnMIS形成領域に、例えばホウ素をイオン注入してp型ウェル13Pを形成し、pMIS形成領域に、例えばリンをイオン注入してn型ウェル13Nを形成する。また、このとき、nMIS形成領域に、nMISのしきい値電圧を制御するための不純物(例えばホウ素)をイオン注入し、pMIS形成領域に、pMISのしきい値電圧を制御するための不純物(例えばリン)をイオン注入する。

【0056】次いで、上記p型ウェル13Pおよびn型ウェル13Nのそれぞれの表面をHF(フッ酸)系の洗浄液を使って洗浄した後、半導体基板11Sを、例えば850°C程度の高温でウェット酸化することにより、p型ウェル13Pおよびn型ウェル13Nのそれぞれの表面に酸化シリコン膜からなる清浄なゲート絶縁膜14を形成する。ゲート絶縁膜14の膜厚は、例えば3nm以下、例えば2.5nm程度とした。なお、ここでいうゲート絶縁膜14の膜厚とは、二酸化シリコン換算膜厚であり、実際の膜厚と一致しない場合もある。

【0057】ゲート絶縁膜14は、酸化シリコン膜に代えて酸窒化シリコン膜で構成しても良い。すなわち、ゲート絶縁膜14の膜厚が薄くなると、後述のようにゲート電極の一部を構成するSiGe層中の不純物(ホウ

素)の一部がプロセス中の熱処理によってゲート絶縁膜14を貫通して半導体基板11Sに拡散し、しきい電圧が変動し易くなる。酸窒化シリコン膜は、酸化シリコン膜に比べて不純物が貫通し難いので、ゲート絶縁膜14を酸窒化シリコン膜で構成することにより、しきい値電圧の変動を抑制することができる。また、酸窒化シリコン膜は、酸化シリコン膜に比べて膜中における界面準位の発生を抑制したり、電子トラップを低減したりする効果が高いので、ゲート絶縁膜14のホットキャリア耐性を向上でき、絶縁耐性を向上させることができる。

【0058】酸窒化シリコン膜を形成するには、例えば半導体基板1をNO_x、NO₂またはNH₃といった含窒素ガス雰囲気中で熱処理すれば良い。また、p型ウェル13Pおよびn型ウェル13Nのそれぞれの表面に酸化シリコンからなるゲート絶縁膜14を形成した後、半導体基板11Sを上記した含窒素ガス雰囲気中で熱処理し、ゲート絶縁膜14と半導体基板11Sとの界面に窒素を偏析させることによっても、上記と同様の効果を得ることができる。

【0059】また、ゲート絶縁膜14を、例えば窒化シリコン膜あるいは酸化シリコン膜と窒化シリコン膜との複合絶縁膜で形成しても良い。酸化シリコンからなるゲート絶縁膜14を二酸化シリコン換算膜厚で5nm未満、特に3nm未満まで薄くすると、直接トンネル電流の発生やストレス起因のホットキャリア等による絶縁耐圧の低下が顕在化する。窒化シリコン膜は、酸化シリコン膜よりも誘電率が高いためにその二酸化シリコン換算膜厚は実際の膜厚よりも薄くなる。すなわち、窒化シリコン膜を有する場合には、物理的に厚くても、相対的に薄い二酸化シリコン膜と同等の容量を得ることができる。従って、ゲート絶縁膜14を单一の窒化シリコン膜あるいはそれと酸化シリコンとの複合膜で構成することにより、その実効膜厚を、酸化シリコン膜で構成されたゲート絶縁膜よりも厚くすることができるので、トンネル漏れ電流の発生やホットキャリアによる絶縁耐圧の低下を改善することができる。

【0060】ここで、単一絶縁膜または複合絶縁膜の二酸化シリコン換算膜厚(以下、単に換算膜厚ともいう)drとは、対象となる絶縁膜の比誘電率を ϵ_i 、その膜厚をdi、二酸化シリコンの比誘電率を ϵ_s としたときに、次式で定義される膜厚である。

【0061】

【数1】

$$dr = \sum \frac{\epsilon_i}{\epsilon_s} di$$

【0062】例えば酸化シリコン(SiO₂)および窒化シリコン(Si₃N₄)の誘電率は、それぞれ4～4.2および8である。そこで、窒化シリコンの誘電率を酸

化シリコンの誘電率の2倍として計算すると、例えば膜厚6 nmの窒化シリコン膜の二酸化シリコン換算膜厚は3 nmとなる。すなわち、膜厚6 nmの窒化シリコン膜からなるゲート絶縁膜と膜厚3 nmの酸化シリコン膜からなるゲート絶縁膜とは容量が等しい。また、膜厚2 nmの酸化シリコン膜と膜厚2 nmの窒化シリコン膜（換算膜厚=1 nm）との複合膜からなるゲート絶縁膜の容量は、膜厚3 nmの单一酸化シリコン膜からなるゲート絶縁膜の容量と同じである。

【0063】続いて、図4（a）、（b）に示すように、半導体基板11S上に、多結晶シリコン層15a、SiGe層15bおよび多結晶シリコン層15cをCVD法等により下層から順に堆積することにより、ゲート電極形成膜15を形成する。

【0064】多結晶シリコン層15aは、電気的特性に影響を与えることなく、SiGe層15bの形成を助ける機能を有している。すなわち、多結晶シリコン層15aは、その上のSiGe層15bの成膜時における成膜初期の核形成を助け、均一な厚さのSiGe層15bを形成する。この多結晶シリコン層15aがないと、SiGe層15bの成膜初期の核形成が行われ難くなり、SiGe層15bの表面の凹凸が大きくなる。多結晶シリコン層15aの厚さは、例えば3 nm程度である。

【0065】この多結晶シリコン層15a上には、SiGe層15bが堆積されている。SiGe層15bの厚さは、例えば100~200 nm程度である。また、SiGe層15bの組成は、Geの濃度が全体の10%以上にされている。このSiGe層15bのGeの濃度は高い方が好ましい。これは、例えば次の理由からである。SiGe層15bには、低抵抗を低減し、かつ、その仕事関数を所定値に設定するためにホウ素が導入されるが、そのSiGe層15bのGeの濃度が高ければ、そのホウ素の濃度を低減できるので、ホウ素抜けを抑制でき、ホウ素抜けに起因する空乏化を抑制または防止できるからである。ホウ素の濃度を低減できる理由は、SiGe層15bのGe濃度が高ければ、ホウ素の活性効率を向上させることができるので、ホウ素の濃度が低くてもSiGe層15bの抵抗を下げることができるからである。また、SiGe層15bのGe濃度が高ければ、ホウ素の濃度が低くても、SiGe層15bの仕事関数を所定値に設定することができるからである。

【0066】そこで、本実施の形態1においては、Geの濃度を全体の20%以上、好ましくは40%以上とされている。後述するように、SiGe層15bのGeの濃度を高くすると、SiGe層15bのバターニング後の後処理の際にSiGe層15bの側面が削られる、いわゆるサイドエッティングが生じるが、本実施の形態1では、そのサイドエッティングを抑制または防止できるので、Geの濃度を高くすることができる。

【0067】特に、SiGe層15bのGeの濃度が4

0%以上の領域においては、CMIS（Complementary MIS）回路においてゲート電極をシングルゲート電極構造とすることが可能である。すなわち、多結晶シリコンをゲート電極材料とする場合は、CMOS回路のnMISのゲート電極はリンを導入してn型多結晶シリコンで構成し、pMISのゲート電極はホウ素を導入してp型多結晶シリコンで構成する、いわゆるデュアルゲート電極構造を採用している場合がある。この構造は、ゲート電極の仕事関数をnMISおよびpMISに応じて変えてやることで、半導体基板の不純物濃度を高くすることなく、nMISおよびpMISのしきい値電圧の低下を防止することができる。しかし、リンおよびホウ素を別々のフォトレジスト膜をマスクとして選択的に導入するので、製造工程が複雑となり、また、製造工程数が増加するので製品のコスト増大を招く。さらに、エッチング処理によってゲート電極をバターニングする際にnMISとpMISとでゲート電極部に含まれる不純物が異なることからゲート電極の形状に差が生じ、ゲート電極の加工寸法にばらつきが生じ、その加工寸法精度が劣化する。

【0068】これに対して、本実施の形態1においては、SiGe層15bのGeの濃度を40%以上することにより、SiGe層15bの仕事関数を上記ホウ素の導入によりn型多結晶シリコンの仕事関数（約4.15V）とp型多結晶シリコンの仕事関数（約5.15V）との間に容易に設定できる。したがって、ゲート電極に対しては、リンおよびホウ素の2種の不純物を導入する必要性がなくなる。すなわち、nMISおよびpMISの両方のゲート電極を、ホウ素のみを導入したp型のシングルゲート電極構造とすることができる。したがって、本実施の形態1によれば、半導体基板11Sの不純物濃度を高くすることなく、CMOS回路を構成するnMISおよびpMISのしきい値電圧の低下を防止することができる。また、半導体集積回路装置の製造工程を簡略化することができる。また、半導体集積回路装置の製造工程数を低減できる。したがって、半導体集積回路装置の開発および製造時間を短縮させることができるとなる。また、半導体集積回路装置のコストを低減させることができるとなる。また、ゲート電極のバターニングの際にnMISとpMISとでゲート電極の形状差を考慮する必要性が無くなり、nMISおよびpMISにおけるゲート電極の加工寸法のばらつきを低減させることができるので、ゲート電極の加工寸法精度を向上させることができるとなる。したがって、半導体集積回路装置の歩留まりを向上させることができるとなる。また、半導体集積回路装置の性能を向上させることができるとなる。

【0069】このようなSiGe層15bは、例えばモノシリコン（SiH₄）とゲルマン（GeH₄）との混合ガスを用いたCVD法等によって形成することができる。ただし、SiGe層15bを、例えばシリコン（Si

H_4 ）、ゲルマン（Ge H_4 ）およびジボラン（ B_2H_6 ）をソースガスに用いたCVD法で堆積することにより、SiGe層15bの成膜中にホウ素をインサイチュにて導入しても良い。

【0070】このSiGe層15b上には、多結晶シリコン層15cが堆積されている。この多結晶シリコン層15cは、後述するようにコバルト（Co）を堆積し、コバルトシリサイド層を形成することを考慮して設けられたものである。すなわち、SiGe層15b上に直接Coを形成した場合、SiGeとCoとでは、整合性が低く、ゲート電極の抵抗値が高くなるので、それを防止するために設けられている。多結晶シリコン層15cの厚さは、後述するように多結晶シリコン層15c上に形成される酸化シリコンからなるマスクをエッチング除去する際にそのオーバーエッチング処理においても突き抜けないように設定されており、例えば50nm程度とされている。これは、そのマスクのエッチング除去後に行う洗浄処理の際にSiGe層15bが直接、洗浄液に曝されないようにするためである。

【0071】次いで、図4の矢印で示すように、ゲート電極形成膜15に上記したホウ素をイオン注入法等によって導入する。上記したようにGeの濃度が40%以上のSiGe層15bにおいては、ホウ素のみのシングルゲート電極構造となる。なお、上記したようにSiGe層15bの成膜中にホウ素をインサイチュにて導入した場合には、再度、ホウ素をイオン注入する必要性はない。

【0072】続いて、図5に示すように、多結晶シリコン層15c上に、例えば酸化シリコン膜からなる絶縁膜16をCVD法によって形成する。この絶縁膜16は、ゲート電極形成膜をドライエッチング法等によってバーニングする際のマスクとなる。絶縁膜16の膜厚は、SiGe層15bをエッチングする際に下地をエッチングしないように充分な厚さに設定する必要があり、例えば50nm程度である。

【0073】その後、絶縁膜16上に、例えば厚さ0.1μm程度の反射防止膜17を塗布した後、その上に、例えば厚さ0.5μm程度のフォトレジストパターン18を形成する。このフォトレジストパターン18は、反射防止膜17上に有機系のフォトレジスト膜を塗布した後、そのフォトレジスト膜に対してエキシマレーザ光等のような露光光をフォトマスクを介して照射することにより露光することで形成されている。

【0074】次いで、そのフォトレジストパターン18をエッチングマスクとして、そこから露出する反射防止膜17および絶縁膜16をドライエッチング法等によってエッチング除去する。ここでは、反射防止膜17および絶縁膜16のエッチング処理に際して、例えば平行平板型のエッチング装置を使用したが、反射防止膜17と絶縁膜16とで別々のチャンバでエッチング処理を行つ

た。

【0075】反射防止膜17のエッチング処理にはプロセスガスとして、例えばO₂/N₂/CF₄を用いた。また、絶縁膜16のエッチング処理にはプロセスガスとして、例えばC₄F₈/Ar/O₂を用いた。絶縁膜16のエッチング処理時に、C₄F₈等のようなカーボン比率の高いガスを用いることにより、下地の多結晶シリコン層15cに対するエッチレートの選択性を得ることができるので、多結晶シリコン層15cの削れ量を小さくすることができる。

【0076】続いて、フォトレジストパターン18および反射防止膜17をアッシングによって図6に示すように除去した後、半導体基板11Sに対してウエット洗浄処理を施すことにより、上記ドライエッチング処理によって生じたポリマーを除去する。

【0077】その後、上記ドライエッチング処理によってバーニングされた絶縁膜16をエッチングマスクとして、そこから露出するゲート電極形成膜15（すなわち、多結晶シリコン層15a、SiGe層15bおよび多結晶シリコン層15c）をドライエッチング法等によってエッチング除去する。

【0078】このドライエッチング処理は、前記図1に示したエッチング装置1内のエッチングチャンバ8内で行う。この処理においては、異方性形状（垂直性）および下地のゲート絶縁膜14に対する高選択性が要求される。そのため、本実施の形態1においては、例えばマイクロ波エッチャを用い、エッチング条件を、例えば次のような5段階ステップとした。

【0079】第1ステップは、酸化シリコン膜に対して非選択の条件とした。プロセスガスは、例えばC₄F₈を用い、その流量は、例えば80ml/min程度とした。また、圧力は、例えば0.4Pa程度とした。また、マイクロ波/RFは、例えば400/80W程度とした。処理時間は、例えば5sec程度とした。

【0080】第2ステップは、主として放電の安定性を得るための条件とした。プロセスガスは、例えばHBr/C₄F₈を用い、その流量は、例えば90/20ml/min程度とした。また、圧力は、例えば0.4Pa程度とした。また、マイクロ波/RFは、例えば800/40W程度とした。処理時間は、例えば2sec程度とした。

【0081】第3ステップは、酸化シリコン膜に対して選択性の低い条件とした。この第3ステップによりSiGe層15bの途中の厚さ位置までをエッチング除去する。プロセスガスは、例えばHBr/C₄F₈/O₂を用い、その流量は、例えば90/20/3ml/min程度とした。また、圧力は、例えば0.4Pa程度とした。また、マイクロ波/RFは、例えば400/30（または40）W程度とした。処理時間は、例えば30sec程度とした。

【0082】第4ステップは、酸化シリコン膜に対して選択性の高い条件とした。この第4ステップにより最下層の多結晶シリコン層15aまで全てエッチング除去する(ジャストエッチング)。ここで言うジャストエッチングは、素子分離部12の段差部を除いた部分においてゲート絶縁膜14が露出された時点のことである。プロセスガスは、例えばHBr/O₂を用い、その流量は、例えば74/3ml/min程度とした。また、圧力は、例えば0.4Pa程度とした。また、マイクロ波/RFは、例えば400/25W程度とした。処理時間は、上記ジャストエッチングまでとした。この際、HBr/O₂を用いた場合は、SiBr(波長=426nm)を検出することで、また、Cl₂/O₂を用いた場合は、SiCl(波長=391nm)を検出することで、それぞれ終点検出することが可能となる。

【0083】第5ステップは、オーバーエッチング処理であり、多結晶シリコン層15a, 15bのエッチ残りを除去する条件とした。プロセスガスとしては、前記したように酸化シリコン膜に対して選択性の高い、例えばHBr/O₂またはCl₂/O₂を用い、その流量は、例えば105/8ml/min程度とした。また、圧力は、例えば0.6Pa程度とした。また、マイクロ波/RFは、例えば400/45W程度とした。処理時間は、例えば30sec程度とした。

【0084】このようなゲート電極形成膜のエッチング処理により、図7に示すように、ゲート電極15Gを形成する。この処理後においては、ゲート電極15Gの側面が、半導体基板11Sの正面に対してほぼ垂直に形成されている。すなわち、ゲート電極15Gの側面には、前記サイドエッチが生じていない。

【0085】次いで、このような処理が終了した半導体基板11Sを、前記図1のエッチング装置1のエッチングチャンバ8から取り出し、真空を維持した状態で外気に曝すことなく、後処理チャンバ9内に搬入する。この後処理の目的は、上記ゲート電極形成膜15のエッチング処理中に生成されたSiを含む反応生成物(SiC1, SiOC1, SiOB等)、半導体基板11Sの表面に吸着したCl、BrまたはCl₂、Br₂を含む反応生成物を除去することにある。

【0086】この後処理を行わないと、この後の洗浄処理だけでは反応生成物(特にSiを含む反応生成物)等を除去できないため、これはその後の工程中に剥離して異物の原因となる。また、エッチング処理が終了した後の半導体基板11Sをウェハカセットに戻した際にエッチング処理前の別の半導体基板11Sの正面に上記反応生成物等が付着し、その別の半導体基板11Sに対してゲート電極形成膜のエッチング処理を行う際に、その付着物がマスクとなりエッチング残りが生じる。また、半導体基板11Sの表面に付着したCl₂やBr₂等を除去しないと、そのCl₂やBr₂等によってエッチング装置の部

品が腐食する。さらに、Cl₂やBr₂は毒性が高いため人体に悪影響を及ぼす。したがって、そのエッチング処理後の後処理は必須である。ゲート電極材料として多結晶シリコンを用いる場合も、この後処理は行われており、その場合のプロセスガスとしては、例えばO₂/CHF₃を用いている。

【0087】そこで、ゲート電極材料としてSiGe層を有する場合においても、同一条件で後処理を行った。すなわち、多結晶シリコンをゲート電極材料として用いた場合の後処理と同じく、例えばO₂/CHF₃ガスを用いて後処理を行った。この後処理においてO₂/CHF₃ガスを用いたのは、安定した放電範囲が得られ、また、ゲート電極材料として多結晶シリコンを用いる場合の後処理において一般的に使用されておりデータ量も豊富で導入が容易である等の理由からである。

【0088】その結果、図8に示すように、SiGe層15bの両側面が中心に向かって削られる、サイドエッチングが発生することが本発明者らによって初めて見出された。なお、本明細書中においてサイドエッチング量を図8を用いて説明するところである。すなわち、サイドエッチング量(LS1+LS2)は、ゲート電極15Gの多結晶シリコン層15a, 15bのチャネル方向(半導体基板11Sの正面に沿う方向)の長さLAからSiGe層15bのチャネル方向の長さLBを引いた値(LS1+LS2=(LA-LB))である。ここで、サイドエッチング量を、残されている多結晶シリコン層15a, 15bのチャネル方向の長さに対する割合で定義すると、((LA-LB)/LA)×100(%)で表すことができる。図8では、サイドエッチング量が70%程度である(すなわち、70%が削られてしまっている)。

【0089】図8は、例えばSiGe層15bのGe濃度が50%とした場合を示している。詳細な後処理条件は、例えばO₂/CHF₃=600/40(ml/min)、圧力100Pa、マイクロ波パワー1000W、放電時間20secとした。

【0090】また、本発明者らは、その後処理条件を、O₂流量を減少させた条件、例えばO₂/CHF₃=100/10(ml/min)で後処理を行ったが、その場合も上記サイドエッチングが発生した。すなわち、O₂量を減少させただけではサイドエッチングを防止することができないことが判明した。

【0091】ただし、O₂ガス単独条件においては、上記サイドエッチングは発生しない。これは、フッ素系のガスが無いためにSiのエッチングが進行しないためである。しかし、O₂のみでは、半導体基板表面の上記付着物を除去することができないので、実際のプロセスに使用することはできない。

【0092】また、O₂にCHF₃を微量添加した条件、例えばO₂/CHF₃=600/10(ml/min)の

条件でもサイドエッチングが発生した。さらに、本発明者らの実験では、 SiGe 層の Ge 濃度が20%では、上記サイドエッチングが生じなかった。

【0093】本発明者らは、以上のような実験結果に基づいて検討した結果、後処理条件に O_2/CHF_3 を使用すると、プラズマ中において O と Ge とが爆発的に反応し、揮発性の高い GeO を生成する（このため、 Ge 濃度が高くなるとサイドエッチング量が増える）結果、サイドエッチングが発生するモデルが考えられることを初めて見出した。

【0094】そこで、本実施の形態1においては、後処理条件として、 Ge に対する反応性の乏しいガスと、 Si のエッチング機能を有するガスとの混合ガス雰囲気中においてプラズマ処理を施すようにした。 Ge に対して反応性の乏しいガスとしては、例えばアルゴン（ Ar ）ガス等のような不活性ガスを用いた。また、 Si のエッチング機能を有するガスとしては、例えば CHF_3 等のようなフッ素を含むガスを用いた。

【0095】その結果、図9に示すように、ゲート電極15の側面の垂直形状を達成することができる。図9では、多少のサイドエッチングが生じている場合を例示したが、本後処理条件によれば、サイドエッチングが無い状態でゲート電極15Gを形成することも可能である。なお、この際の後処理時間は、多結晶シリコン層15cの削れ量が O_2/CHF_3 条件とほぼ揃うように設定されており、エッチング量が少ないためにサイドエッチングが生じなかった訳ではない。

【0096】具体的な後処理条件の一例をあげると、次の通りである。すなわち、例えば $\text{Ar}/\text{CHF}_3 = 400/20$ (m^1/min) 程度、圧力が70Pa程度、マイクロ波パワーが750W程度、放電時間が20sec程度である。また、 SiGe 層15bの Ge 濃度は、例えば20%以上である。本発明者らの実験結果によれば、後処理時の CHF_3 の濃度が高い条件、例えば $\text{Ar}/\text{CHF}_3 = 600/40$ (m^1/min) のような条件では、例えば Si 、 H （水素）、 F （フッ素）を含む化合物のデポジションが生じ、エッチングが進行しなくなる。よって、 CHF_3 の濃度は、5%以下程度が適切である。また、 Ar/CHF_3 は、 O_2/CHF_3 条件に比べて放電安定領域が狭く、圧力80Pa以上またはマイクロ波パワー1000W以上のような条件では放電が不安定になる。したがって、以上の条件から後処理条件は、 CHF_3 濃度が5%程度で、圧力70Pa以下、マイクロ波パワーが750W程度が好ましい。

【0097】また、上記後処理条件においては、 Ge に対して反応性の乏しいガスとして、放電安定性の高い Ar を用いたが、これに限定されるものではなく種々変更可能であり、 Ar に代えて、例えばヘリウム（ He ）、ネオン（ Ne ）、クリプトン（ Kr ）、キセノン（ Xe ）等のような他の不活性ガスを用いることもできる。

また、 Ar に代えて窒素（ N_2 ）ガス等を用いることもできる。その場合、後処理中にゲート電極の表面（側面や上面）に窒化シリコン（ SiN ）膜が形成される結果、その SiN 膜が保護膜となりゲート電極両側面のサイドエッチングを防ぐように機能する。

【0098】また、 Si をエッチングする機能を有するガスとして、 CHF_3 を用いたが、これに限定されるものではなく種々変更可能であり、 CHF_3 に代えて、例えば CF_4 、 C_2F_6 または SF_6 等のようなフッ素を含むガスを用いることもできる。 Ar/CF_4 の後処理ガス条件では、多結晶シリコン層15a、15cのエッチレートが速い。例えば $\text{Ar}/\text{CF}_4 = 400/40$ (m^1/min) では、エッチレートが、 Ar/CHF_3 の約9倍となる。そこで、この場合は、後処理時間を短縮し、例えば5sec程度とした。この場合、 Ar/CHF_3 に比べて上記サイドエッチング量は大きく、約20%程度であったが、 O_2/CHF_3 条件のようなサイドエッチングは生じない。すなわち、比較的のサイドエッチングが大きい Ar/CF_4 のガス系でサイドエッチング量が20%程度である。このように本発明によれば、上記サイドエッチング量を、40%以下、 Ar/CF_4 ガスを用いた場合は実際に得られた結果とした20%程度、 Ar/CHF_3 ガスを用いた場合は実際に得られた結果として10%以下とすることが可能となる。

【0099】このように、本実施の形態1によれば、後処理後であっても、 SiGe 層15bを有するゲート電極15Gの断面形状を良好にすることができる。すなわち、そのゲート電極15Gの加工寸法精度を向上させることができるとなる。したがって、本実施の形態1によれば、半導体集積回路装置の歩留まりを向上させることができるとなる。また、半導体集積回路装置の性能を向上させることができるとなる。

【0100】また、半導体基板11Sに付着した Cl_2 、 Br_2 等の除去性を全反射蛍光X線により調べた結果を図10に示す。図10の横軸のA1～A3は、後処理ガスとして Ar/CHF_3 を用いた場合（本発明）を示しており、A1は後処理時間が10sec、A2は後処理時間が20sec、A3は後処理時間が25secの場合である。また、Bは、後処理ガスとして Ar/CF_4 を用いた場合（本発明）であり、後処理時間が5secの場合である。また、Cは、後処理ガス条件として O_2/CHF_3 を用いた場合（発明者が検討した技術）であり、後処理時間が20secである。Dは、後処理を行わなかった場合、Eはゲート電極のバターニングも後処理も行わなかった場合である。この図10から Ar/CHF_3 条件では、 Cl_2 および Br_2 の除去性に関して O_2/CHF_3 条件と同等以上の効果があることが分かる。以上のような後処理の後、半導体基板11Sを図1に示したエッチング装置1から取り出す。

【0101】次いで、図11に示すように、ゲート電極

15GをマスクとしてnMIS形成領域に、例えばリンをイオン注入することによって、nMISのソース・ドレイン(LDD; Lightly Doped Drain)を構成する低不純物濃度のn⁻型半導体領域19aを形成する。続いて、ゲート電極15GをマスクとしてpMIS形成領域に、例えばホウ素をイオン注入することによって、pMISのソース・ドレイン(LDD)を構成する低不純物濃度のp⁻型半導体領域20aを形成する。

【0102】続いて、半導体基板11S上に、例えば酸化シリコンからなる絶縁膜をCVD法等によって堆積した後、これを異方性のドライエッチングによってエッチバックする。この際、絶縁膜16もエッチバックされて多結晶シリコン層15cがむき出しになる。このようにして図12に示すように、ゲート電極15Gの両側面にサイドウォール(側壁絶縁膜)21を形成する。

【0103】その後、図13に示すように、ゲート電極15Gおよびサイドウォール21をマスクとしてnMIS形成領域に、例えばリンをイオン注入することによって、nMISのソース・ドレインを構成する高不純物濃度のn⁺型半導体領域19bを形成する。続いて、ゲート電極15Gおよびサイドウォール21をマスクとしてpMIS形成領域に、例えばホウ素をイオン注入することによって、pMISのソース・ドレインを構成する高不純物濃度のp⁺型半導体領域20bを形成する。ここまで工程により、LDD構造のソース、ドレインを有するnMISQnおよびpMISQpが略完成する。

【0104】次いで、半導体基板11S上に、例えばコバルト(Co)をスパッタリング法によって堆積した後、熱処理を施すことにより、Co層と半導体基板11Sおよび多結晶シリコン層15cとの接触界面部分に、図14に示すように、例えばコバルトシリサイド(CoSi_x)等からなるシリサイド層22を形成する(シリサイドプロセス)。このようなシリサイド層22を形成することにより、配線とn⁺型半導体領域19b、p⁺型半導体領域20bおよびゲート電極15Gとの接触抵抗を低減できる。また、寄生容量を低減できる。したがって、微細な素子(nMISQnやpMISQp等)を有する半導体集積回路装置の動作速度の向上を推進させることが可能となる。なお、コバルトシリサイド層に代えて、タングステンシリサイド層やチタンシリサイド層とすることもできる。

【0105】続いて、図15に示すように、半導体基板11S上に、例えば酸化シリコン膜からなる絶縁膜23aをCVD法等によって堆積した後、その絶縁膜23aにシリサイド層22が露出するようなコンタクトホール24を穿孔する。その後、半導体基板11S上に、例えばタングステンまたは窒化チタン(TiN)等をスパッタリング法等によって堆積した後、その上に、例えばタングステンをCVD法等によって堆積し、さらに、それら導体膜がコンタクトホール24のみに残されるよう

にその導体膜をCMP(Chemical Mechanical Polish)法等によって研磨することにより、コンタクトホール24内にプラグ25aを形成する。

【0106】次いで、絶縁膜23aおよびプラグ25a上に、例えば窒化チタン、アルミニウム(またはアルミニウム合金)および窒化チタンを下層から順にスパッタリング法等によって堆積した後、これを通常のフォトリソグラフィ技術およびドライエッチング技術によってパターニングすることにより、第1層配線26aを形成する。

【0107】続いて、絶縁膜23a上に、例えば酸化シリコン膜からなる絶縁膜23bをCVD法等によって堆積した後、その絶縁膜23bに第1層配線26aの一部が露出するようなスルーホール27を穿孔する。その後、プラグ25aと同様にしてスルーホール27内にプラグ25bを形成した後、第1層配線26aと同様にして絶縁膜23b上に第2層配線26bを形成する。以下は、通常の半導体集積回路装置の製造方法により、多層配線構造のシステムLSIを製造する。

【0108】(実施の形態2)本実施の形態2においては、例えばSiGe層を含むポリメタルゲート電極構造を有するシステムLSIの製造方法に本発明を適用した場合について図16～図22によって説明する。なお、図16～図22の各々の(b)は、各図の(a)のnMIS形成領域の要部拡大断面図である。ここでもpMIS形成領域のゲート電極構造は、nMIS形成領域のゲート電極構造と同じなので図示を省略してある。

【0109】まず、前記実施の形態1で用いた図2および図3の工程を経た後、図16に示すように、前記実施の形態1と同様に、半導体基板11Sの主面上に、ゲート絶縁膜14を形成する。続いて、半導体基板11S上に、前記実施の形態1と同様に、多結晶シリコン層15aおよびSiGe層15bを下層から順に堆積する。その後、図16の矢印で示すように、前記実施の形態1と同様に、SiGe層15bに上記したホウ素をイオン注入法等によって導入する。上記したように本実施の形態2においてもGeの濃度が40%以上のSiGe層15bにおいては、ホウ素のみのシングルゲート電極構造となる。また、上記したようにSiGe層15bの成膜中にホウ素をインサイチュにて導入した場合には、再度、ホウ素をイオン注入する必要性はない。

【0110】次いで、図17に示すように、ポリメタルゲート電極構造とすべく、SiGe層15b上に、例えば厚さが5nm程度の窒化タングステン(WN)または窒化チタン(TiN)等からなるバリア導体層15dをスパッタリング法等によって堆積した後、その上に、例えば厚さが80nm程度のタングステン(W)またはモリブデン(Mo)等のような金属層15eをスパッタリング法等によって堆積することにより、ゲート電極形成膜15を形成する。バリア導体層15dは、例えばSi

Ge層15bと金属層15eとのストレス緩和および接着性向上のため設けられている。

【0111】続いて、金属層15e上に、例えば窒化シリコン膜(Si₃N₄)等からなる絶縁膜28を形成する。ここでは、絶縁膜28が、プラズマCVD法によって形成された窒化シリコン膜上に熱CVD法等によって形成された窒化シリコン膜が堆積されてなる。これは、熱CVD法等による窒化シリコン膜の方が、プラズマCVD法による窒化シリコン膜よりも、エッチングレートが低い(酸化シリコン膜に対して選択比を高くとれる)からである。すなわち、後の工程でコンタクトホールを形成する際にコンタクトホールから絶縁膜28が露出されたとしても絶縁膜28がエッチング除去されないようにするためである。

【0112】その後、絶縁膜28上に、前記実施の形態1と同様に、反射防止膜17およびフォトレジストパターン18を形成した後、そのフォトレジストパターン18をエッチングマスクとして、そこから露出する反射防止膜17および絶縁膜28をドライエッチング法等によってエッチング除去する。ここでは、反射防止膜17および絶縁膜28のエッチング処理に際して、例えば平行平板型のエッチング装置を使用したが、反射防止膜17と絶縁膜28とで別々のチャンバでエッチング処理を行った。絶縁膜28のエッチング処理時にはプロセスガスとして、例えばCF₄、Arを用いた。

【0113】次いで、前記実施の形態1と同様に、フォトレジストパターン18および反射防止膜17をアッシングによって図18に示すように除去し、半導体基板11Sに対してウェット洗浄処理を施し上記ドライエッチング処理によって生じたポリマーを除去した後、上記ドライエッチング処理によってバーニングされた絶縁膜28をエッチングマスクとして、そこから露出するゲート電極形成膜15(すなわち、金属層15e、バリア導体層15d、SiGe層15bおよび多結晶シリコン層15a)をドライエッチング法等によってエッチング除去する。

【0114】このドライエッチング処理は、前記図1に示したエッチング装置1内のエッチングチャンバ8内で行う。金属層15eおよびバリア導体層15dのエッチング処理に際しては、例えばC₂H₂/O₂ガスを用いた高温(例えば100~150℃程度)エッチング処理、または、例えばCF₄/O₂/N₂/C₂H₂ガスを用いた常温エッチング処理を行った。SiGe層15bおよび多結晶シリコン層15aのエッチング処理は、前記実施の形態1と同じなので説明を省略する。

【0115】このようなゲート電極形成膜15のエッチング処理により、図19に示すように、SiGe層15b上に金属層15eを有するポリメタル構造のゲート電極15Gを形成する。この処理後も、ゲート電極15Gの側面が、半導体基板11Sの正面に対してほぼ垂直に

形成されている。すなわち、ゲート電極15Gの側面には、前記サイドエッチが生じていない。

【0116】次いで、このような処理が終了した半導体基板11Sを、前記実施の形態1と同様に、後処理チャンバ9内に搬入し、前記実施の形態1と同様に後処理を施す。これにより、図20に示すように、ポリメタル構造のゲート電極15の側面の垂直形状を達成することができる。図20においても、多少のサイドエッチングが生じている場合を例示したが、本後処理条件によれば、サイドエッチングが無い状態でゲート電極15Gを形成することも可能である。以上のような後処理の後、半導体基板11Sを図1に示したエッチング装置1から取り出す。

【0117】続いて、図21に示すように、前記実施の形態1と同様に、nMIS形成領域に低不純物濃度のn⁻型半導体領域19aを形成した後、pMIS形成領域に低不純物濃度のp⁻型半導体領域20aを形成する。その後、半導体基板11S上に、例えば窒化シリコンからなる絶縁膜をCVD法等によって堆積した後、これを異方性のドライエッチングによってエッチバックすることにより、ゲート電極15Gおよび絶縁膜28の両側面に窒化シリコン膜等からなるサイドウォール21を形成する。その後、図22に示すように、前記実施の形態1と同様に、nMIS形成領域に高不純物濃度のn⁺型半導体領域19bを形成した後、pMIS形成領域に高不純物濃度のp⁺型半導体領域20bを形成する。ここまででの工程により、LDD構造のソース、ドレインを有するnMISQnおよびpMISQpが略完成する。

【0118】次いで、半導体基板11S上に、例えば酸化シリコン膜からなる絶縁膜23aをCVD法等によって堆積した後、その絶縁膜23aにコンタクトホール24を穿孔する。この際、酸化シリコン膜と窒化シリコン膜とのエッチング選択比を高くし、酸化シリコン膜の方がエッチングされ易いエッチング条件でエッチング処理を行いコンタクトホール24を形成する。この場合、図22(b)に示すように、コンタクトホール24が多少平面的にゲート電極15Gにかかったとしても窒化シリコン等からなるサイドウォール21および絶縁膜28によりゲート電極15Gが露出することがない(すなわち、コンタクトホール24をゲート電極15Gに対して自己整合的に形成できる)ので、素子の集積度を向上させることが可能となる。これ以降は、前記実施の形態1と同様にして多層配線構造のシステムLSIを製造する。

【0119】このような本実施の形態2においても前記実施の形態1と同様の効果を得ることが可能となる。

【0120】以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0121】例えば前記実施の形態1, 2においては、ゲート電極をバターニングするためのエッティングチャンバと後処理チャンバとを別々にしたが、これに限定されるものではなく、そのエッティング処理と後処理とを同一チャンバ内で行うこともできる。この場合、後処理チャンバが不要となるので、エッティング装置のコストを低減することが可能となる。

【0122】また、前記実施の形態1, 2においては、SiGe層を有するゲート電極の加工技術に本発明を適用した場合について説明したが、これに限定されるものではなく、例えばGe化合物を有する配線の加工技術に本発明を適用することも可能である。

【0123】また、前記実施の形態1, 2においては、ゲート絶縁膜の厚さ(SiO₂換算膜厚)が同一の素子のみが形成されている場合について説明したが、これに限定されるものではなく、同一の半導体基板上にゲート絶縁膜の厚さが異なる素子が複数形成される場合にも本発明を適用できる。この場合、相対的に高い電源電圧を用いるMISのゲート絶縁膜の膜厚を、相対的に低い電源電圧で駆動し、高速動作が要求されるようなMISのゲート絶縁膜の膜厚よりも厚くする。

【0124】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるシステムSIの製造技術に適用した場合について説明したが、それに限定されるものではなく、例えばDRAM(Dynamic Random Access Memory)、SRAM(Static Random Access Memory)またはフラッシュメモリ(EEPROM; Electric Erasable Read Only Electric Erasable Read Only Memory)等のようなメモリ回路を有する半導体集積回路装置やマイクロプロセッサ等のような論理回路を有する半導体集積回路装置にも適用できる。

【0125】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

(1). 本発明によれば、SiGe層を有するゲート電極をバターニングした後、半導体基板に対して、Geとの反応性の乏しい第1のガスおよびSiのエッティング機能を有する第2のガスの混合ガス雰囲気中においてプラズマ処理を施すことにより、SiGe層を有するゲート電極の形状を良好にすることが可能となる。

(2). 本発明によれば、SiGe層を有するゲート電極をバターニングした後、半導体基板に対して、Geとの反応性の乏しい第1のガスおよびSiのエッティング機能を有する第2のガスの混合ガス雰囲気中においてプラズマ処理を施すことにより、SiGe層を有するゲート電極の加工寸法精度を向上させることができとなる。

(3). 上記(1)または(2)により、SiGe層を有するゲート電極を持つ半導体集積回路装置の歩留まりを向上させることができとなる。

(4). 上記(1)または(2)により、SiGe層を有するゲート電極を持つ半導体集積回路装置の性能を向上させることができとなる。

(5). 本発明によれば、半導体基板上にnチャネル型およびpチャネル型の電界効果トランジスタを有する半導体集積回路装置の製造方法において、その各々の電界効果トランジスタのSiGe層を有するゲート電極をバターニングした後、半導体基板に対して、Geとの反応性の乏しい第1のガスおよびSiのエッティング機能を有する第2のガスの混合ガス雰囲気中においてプラズマ処理を施すことにより、SiGe層を有するゲート電極を持つ半導体集積回路装置の開発および製造時間を短縮することが可能となる。

(6). 本発明によれば、半導体基板上にnチャネル型およびpチャネル型の電界効果トランジスタを有する半導体集積回路装置の製造方法において、その各々の電界効果トランジスタのSiGe層を有するゲート電極をバターニングした後、半導体基板に対して、Geとの反応性の乏しい第1のガスおよびSiのエッティング機能を有する第2のガスの混合ガス雰囲気中においてプラズマ処理を施すことにより、SiGe層を有するゲート電極を持つ半導体集積回路装置の製造工程を簡略化することが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体集積回路装置の製造方法に用いたエッティング装置の説明図である。

【図2】本発明の一実施の形態である半導体集積回路装置の製造工程中の要部断面図である。

【図3】図2に続く半導体集積回路装置の製造工程中の要部断面図である。

【図4】(a)は図3に続く半導体集積回路装置の製造工程中の要部断面図、(b)は(a)のnチャネル型MISFETの形成領域の要部拡大断面図である。

【図5】(a)は図4に続く半導体集積回路装置の製造工程中の要部断面図、(b)は(a)のnチャネル型MISFETの形成領域の要部拡大断面図である。

【図6】(a)は図5に続く半導体集積回路装置の製造工程中の要部断面図、(b)は(a)のnチャネル型MISFETの形成領域の要部拡大断面図である。

【図7】(a)は図6に続く半導体集積回路装置の製造工程中の要部断面図、(b)は(a)のnチャネル型MISFETの形成領域の要部拡大断面図である。

【図8】(a)は本発明者らが本発明をするのに検討した技術の課題を説明するための後処理後の半導体基板の部分断面図、(b)は(a)の要部拡大断面図である。

【図9】(a)は図7に続く半導体集積回路装置の製造工程中の要部断面図、(b)は(a)のnチャネル型MISFETの形成領域の要部拡大断面図である。

【図10】半導体基板に付着したC1、B1等が本発明の後処理により除去されたか否かを全反射蛍光X線によ

り調べた結果を示すグラフ図である。

【図11】(a)は図9に続く半導体集積回路装置の製造工程中の要部断面図、(b)は(a)のnチャネル型MISFETの形成領域の要部拡大断面図である。

【図12】(a)は図11に続く半導体集積回路装置の製造工程中の要部断面図、(b)は(a)のnチャネル型MISFETの形成領域の要部拡大断面図である。

【図13】(a)は図12に続く半導体集積回路装置の製造工程中の要部断面図、(b)は(a)のnチャネル型MISFETの形成領域の要部拡大断面図である。

【図14】(a)は図13に続く半導体集積回路装置の製造工程中の要部断面図、(b)は(a)のnチャネル型MISFETの形成領域の要部拡大断面図である。

【図15】図14に続く半導体集積回路装置の製造工程中の要部断面図である。

【図16】(a)は本発明の他の実施の形態である半導体集積回路装置の製造工程中の要部断面図、(b)は(a)のnチャネル型MISFETの形成領域の要部拡大断面図である。

【図17】(a)は図16に続く半導体集積回路装置の製造工程中の要部断面図、(b)は(a)のnチャネル型MISFETの形成領域の要部拡大断面図である。

【図18】(a)は図17に続く半導体集積回路装置の製造工程中の要部断面図、(b)は(a)のnチャネル型MISFETの形成領域の要部拡大断面図である。

【図19】(a)は図18に続く半導体集積回路装置の製造工程中の要部断面図、(b)は(a)のnチャネル型MISFETの形成領域の要部拡大断面図である。

【図20】(a)は図19に続く半導体集積回路装置の製造工程中の要部断面図、(b)は(a)のnチャネル型MISFETの形成領域の要部拡大断面図である。

【図21】(a)は図20に続く半導体集積回路装置の製造工程中の要部断面図、(b)は(a)のnチャネル型MISFETの形成領域の要部拡大断面図である。

【図22】(a)は図21に続く半導体集積回路装置の製造工程中の要部断面図、(b)は(a)のnチャネル型MISFETの形成領域の要部拡大断面図である。

【符号の説明】

1 エッチング装置

* 2 a～2 c ウエハカセット台

3 大気搬送ロボット

4 アライメントユニット

5 ロードロック室

6 真空搬送ロボット

7 真空搬送室

8 エッチングチャンバ

9 後処理チャンバ

10 アンロードロック室

11S 半導体基板

12 素子分離部

12a 溝

13P p型ウェル

13N n型ウェル

14 ゲート絶縁膜

15 ゲート電極形成膜

15a 多結晶シリコン層

15b SiGe層

15c 多結晶シリコン層

15d バリア導体層

15e 金属層

16 絶縁膜

17 反射防止膜

18 フォトレジストパターン

19a n⁻型半導体領域

19b n⁺型半導体領域

20a n⁻型半導体領域

20b n⁺型半導体領域

21 サイドウォール(側壁絶縁膜)

22 シリサイド層

23a 絶縁膜

24 コンタクトホール

25a プラグ

25b プラグ

26a 第1層配線

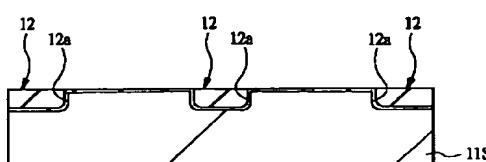
26b 第2層配線

27 スルーホール

28 絶縁膜

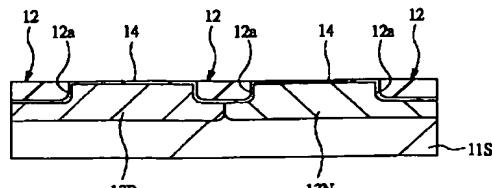
【図2】

図2



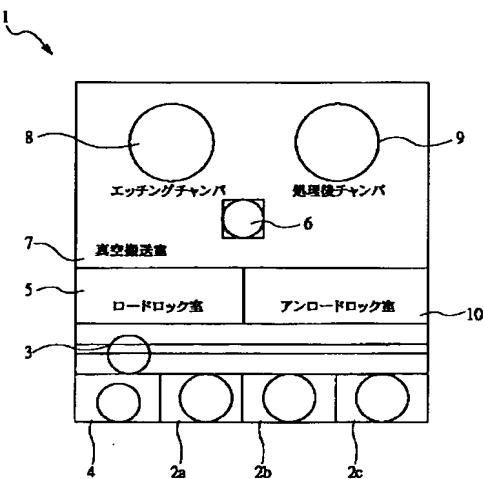
【図3】

図3



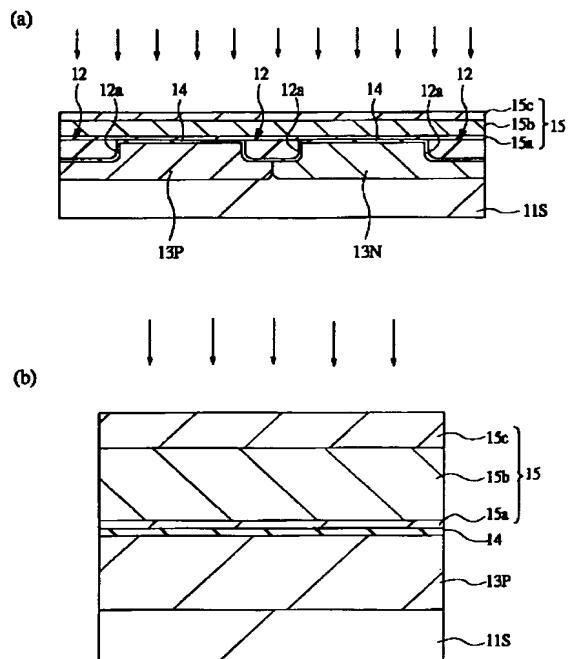
【図1】

図1



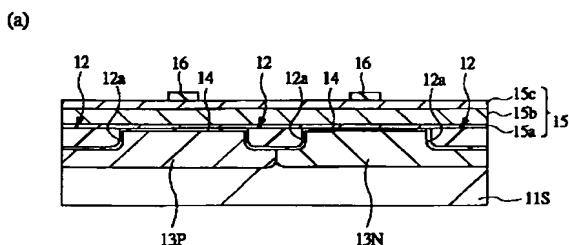
【図4】

図4



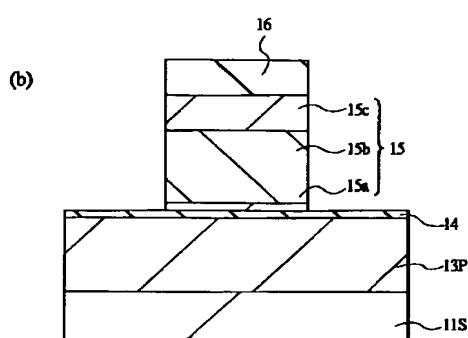
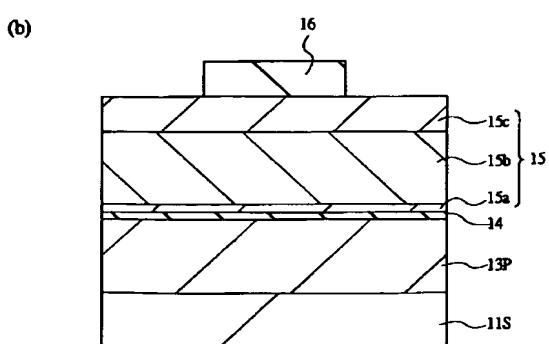
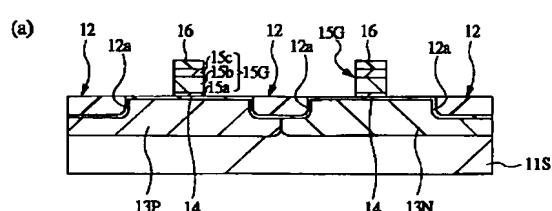
【図6】

図6



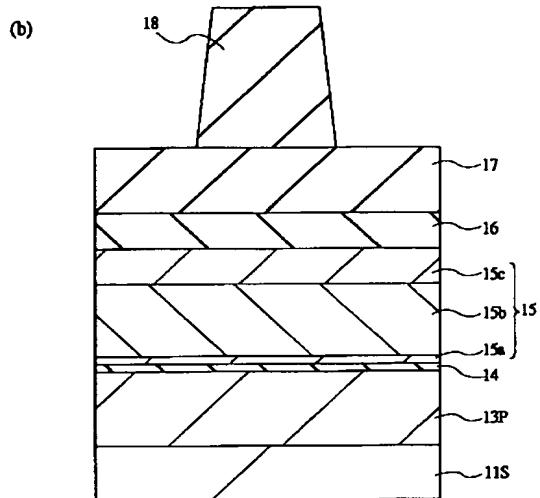
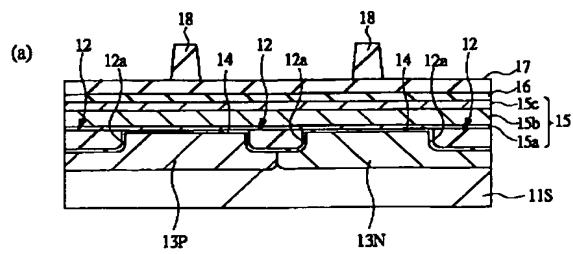
【図7】

図7



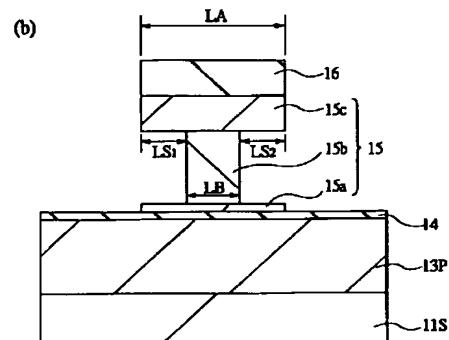
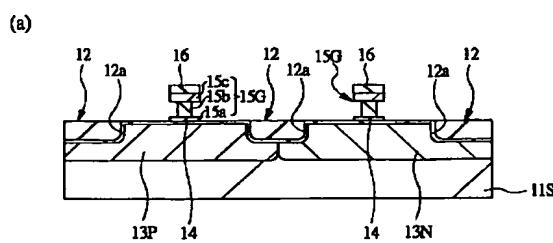
【図5】

図5



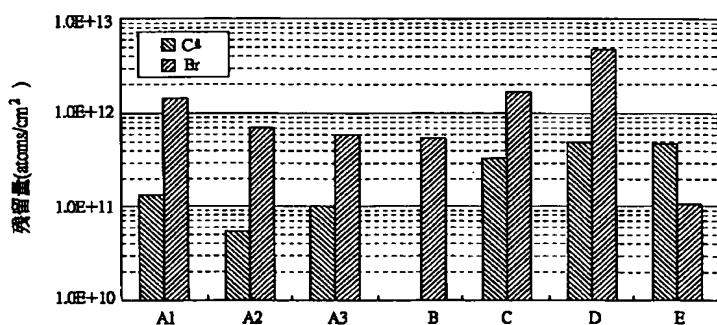
【図8】

図8



【図10】

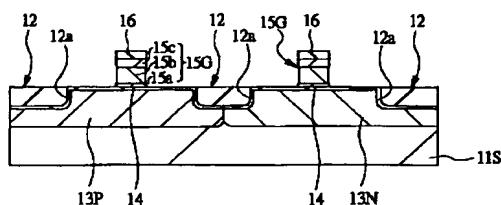
図10



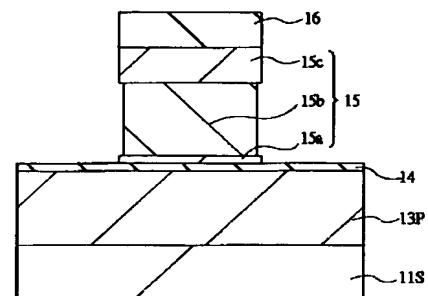
【図9】

図9

(a)



(b)

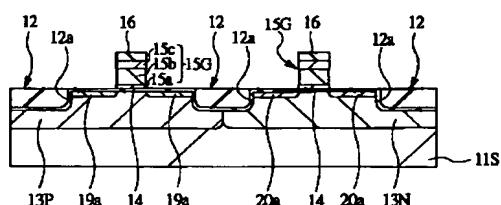


11S: 半導体基板
14: ゲート絶縁膜
15a: 多結晶シリコン層
15b: SGc層
15c: 多結晶シリコン層
15G: ゲート電極

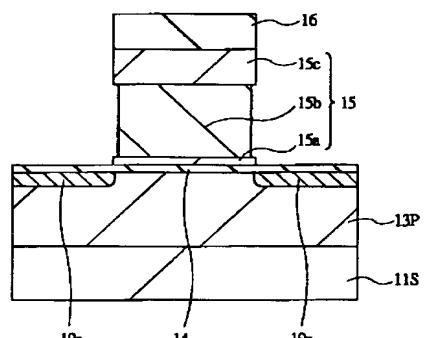
【図11】

図11

(a)



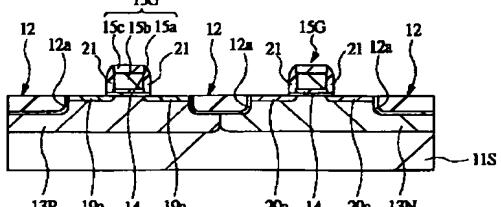
(b)



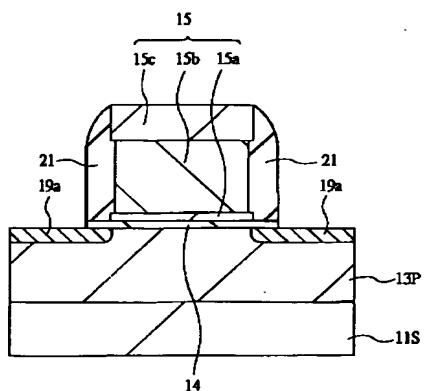
【図12】

図12

(a)

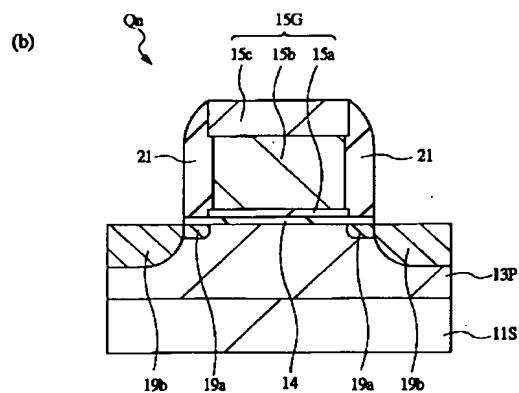
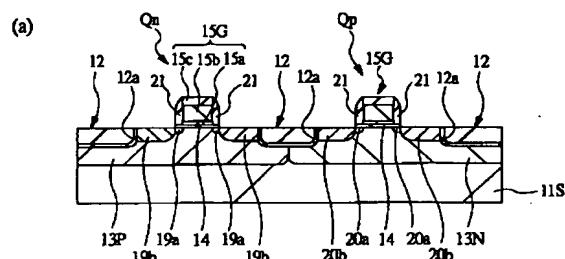


(b)



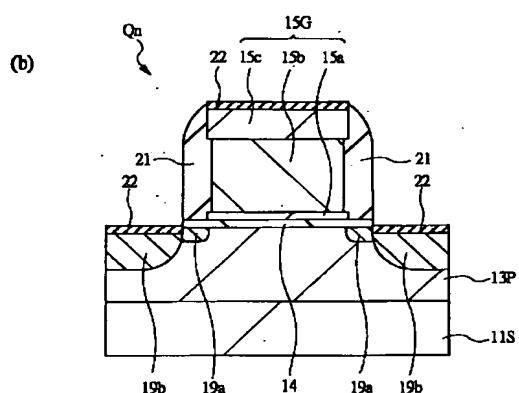
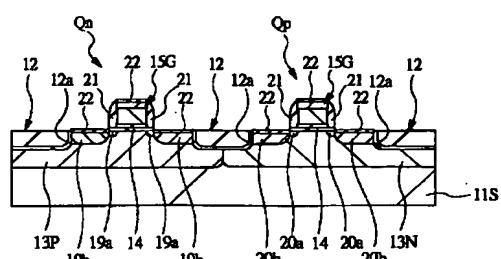
【図13】

図13



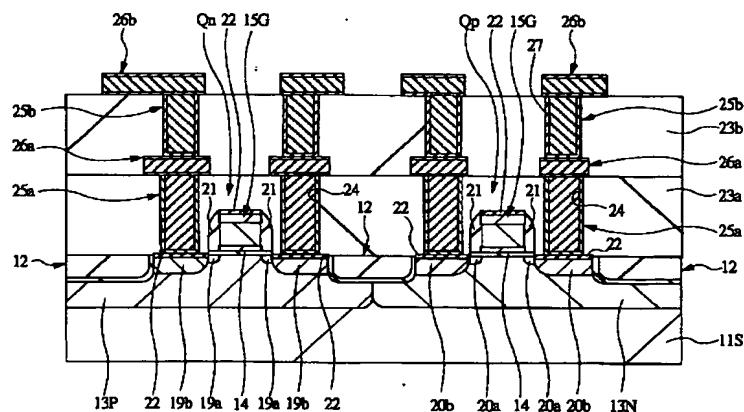
【図14】

図14



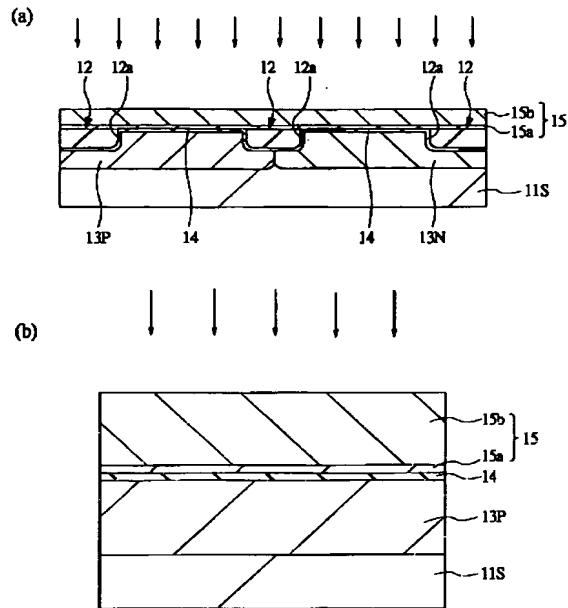
【図15】

図15



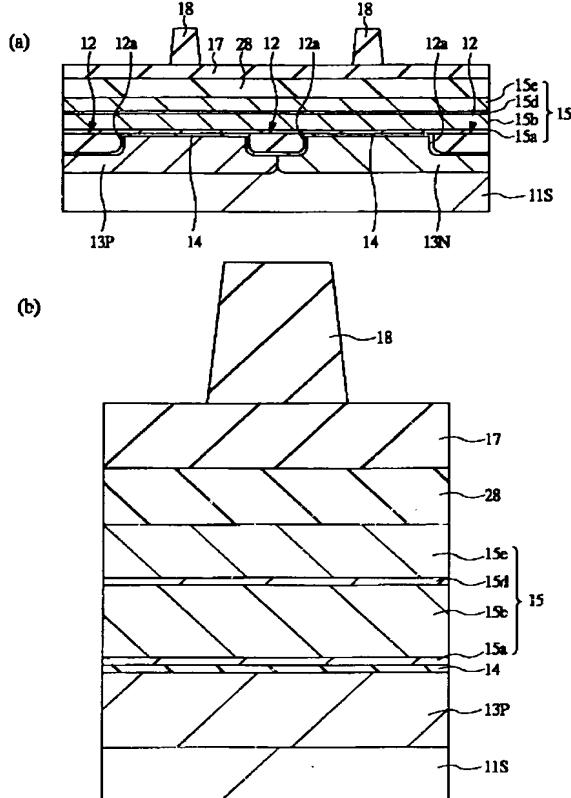
【図16】

図16



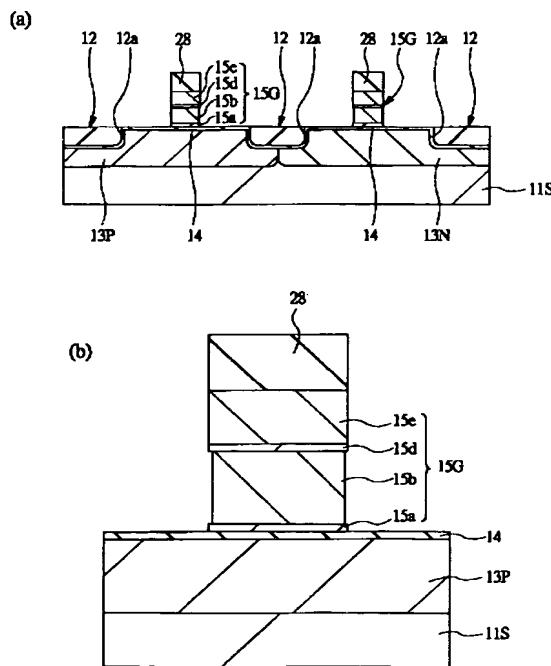
【図17】

図17



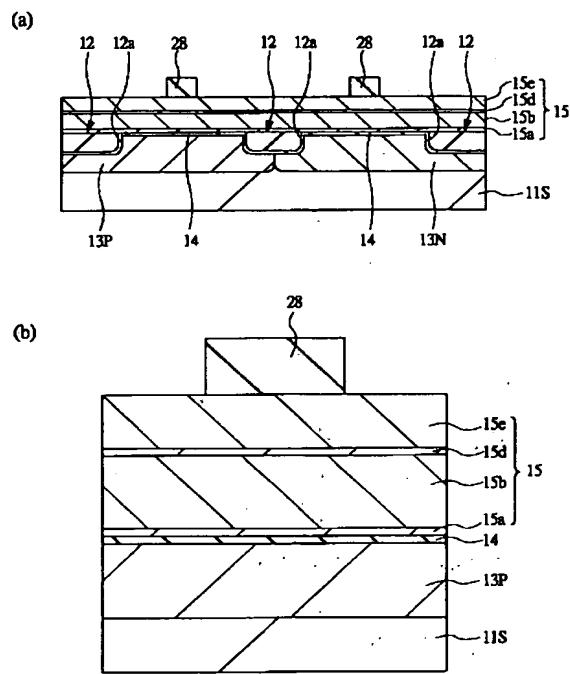
【図20】

図20



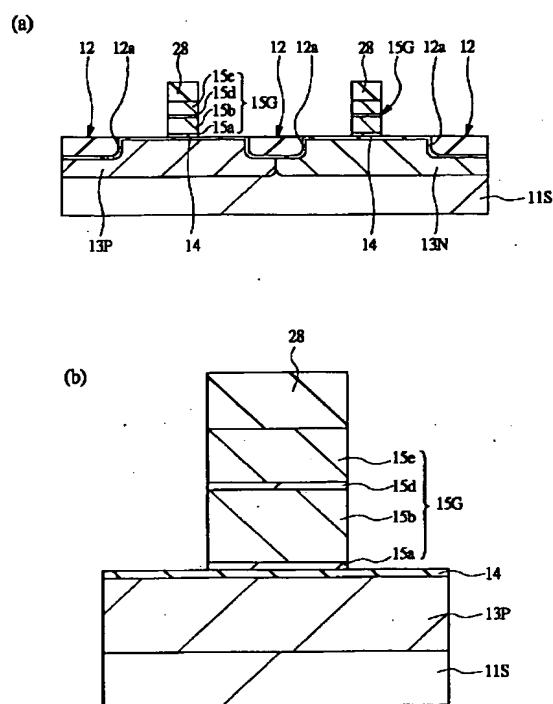
【図18】

図18



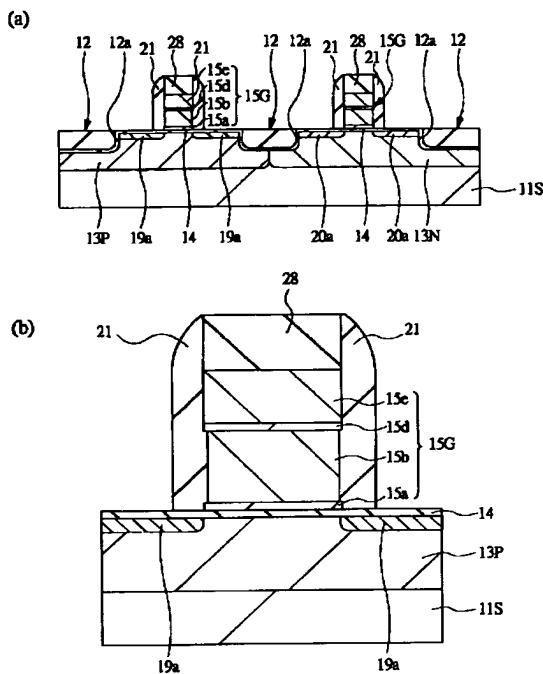
【図19】

図19



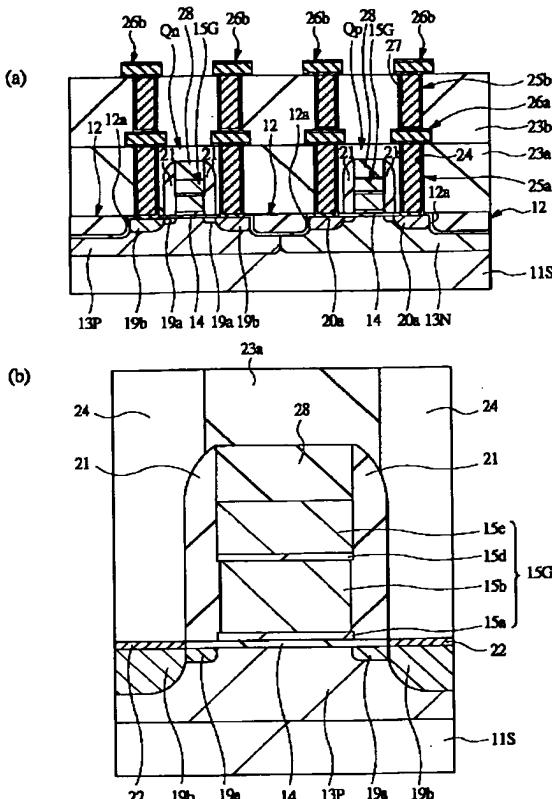
【図21】

図21



【図22】

図22



フロントページの続き

(51) Int.CI.⁷
 H 01 L 27/092
 27/10
 29/43
 29/78
 29/786

識別記号

4 6 1

F I
 H 01 L 27/08
 29/46
 29/78

テマコード(参考)

3 2 1 D 5 F 1 1 0
 F
 3 0 1 G
 6 1 7 J

(72) 発明者 草刈 浩介
 東京都青梅市新町六丁目16番地の3 株式
 会社日立製作所デバイス開発センタ内

(72) 発明者 池田 武信
 東京都青梅市新町六丁目16番地の3 株式
 会社日立製作所デバイス開発センタ内

(72) 発明者 田所 昌洋
 東京都青梅市新町六丁目16番地の3 株式
 会社日立製作所デバイス開発センタ内

F ターム(参考) 4M104 AA01 BB01 BB16 BB18 BB20
BB30 BB33 BB38 BB40 CC05
DD02 DD37 DD43 DD45 DD65
DD78 DD84 DD86 EE09 EE17
FF14 FF18 GG08 GG09 GG10
GG14 GG16 HH14
5F004 AA05 BA04 BA14 DA00 DA01
DA02 DA04 DA16 DA18 DA22
DA23 DA25 DA26 DB00 DB02
DB03 EA22 EA28 FA08
5F040 DA06 DB03 DC01 EA08 EA09
EC02 EC04 EC07 ED01 ED03
ED04 EF02 EH02 EK05 FA05
FA16 FB02 FC19 FC21 FC23
5F048 AA07 AA09 AB01 AB03 AC03
AC04 BA01 BA16 BA17 BB04
BB05 BB07 BB08 BB09 BB11
BB12 BC06 BC16 BE03 BG01
BG14 BH03 DA18 DA19 DA25
DA27
5F083 AD00 BS00 ER22 GA28 JA31
JA32 MA06 MA19 NA01 PR21
PR40 ZA12
5F110 AA16 CC02 DD02 DD04 DD05
EE01 EE09 EE15 EE45 FF02
FF04 FF09 FF23 GG02 GG12
HJ01 HJ13 HL05 HM15 NN23
NN35 QQ04 QQ11

THIS PAGE BLANK (USPTO)